

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

JAPAN PATENT OFFICE (JP)
PATENT APPLICATION PUBLICATION
PATENT PUBLICATION OFFICIAL REPORT(A)

Hei 2-159730

Int. Cl. 5

H 01 L 21/336, 29/784

IDENTIFICATION NUMBER:

IN-OFFICE SERIAL NUMBER: 8652-5F

PUBLICATION: June 19, 1990

8624-5F, H 01 L, 29/78, 311P

THE NUMBER OF CLAIMS: 1

INSPECTION CLAIM, NOT CLAIMED

(total 5 pages)

Title of the Invention: Formation of Thin Film Transistor

Application No.: Sho 63-315654

Filed: December 14, 1988

Inventor(s)

Address: 6-7-35, Kitashinagawa, Shinagawa-ku, Tokyo
Sony Corporation

Name: Hisao Hayashi

Address: 6-7-35, Kitashinagawa, Shinagawa-ku, Tokyo
Sony Corporation

Name: Akeshi Kawamura

Address: 6-7-35, Kitashinagawa, Shinagawa-ku, Tokyo
Sony Corporation

Name: Yoshihiro Hashimoto

Address: 6-7-35, Kitashinagawa, Shinagawa-ku, Tokyo
Sony Corporation

Name: Kazuyoshi Yoshida

Applicant

Name: Sony Corporation

Address: 6-7-35, Kitashinagawa, Shinagawa-ku, Tokyo

Agent

Patent attorney, Akira Koike (and two)

Specification

1. Title of the Invention

Formation of Thin Film Transistor

2. What is claimed is:

A method of forming a thin film transistor comprising the steps of:

forming a semiconductor layer on an insulating substrate;

forming a gate insulating film covering said semiconductor layer thereon;

forming a gate electrode layer on the gate insulating film;

patterning the gate electrode layer;

performing an ion implantation in order to form low concentration impurity regions on said semiconductor layer using said gate electrode layer as a mask;

forming a mask layer covering adjacent regions to said gate electrode layer;

performing an ion implantation to form high concentration impurity regions using the mask layer as a mask; and

forming an interlayer insulating film on the whole surface.

3. Detailed Description of the Invention

[Field for Industrial Use]

The present invention relates to a method of forming a thin film transistor, specifically, to a thin film transistor of which source and drain regions have so-called LDD(Lightly Doped Drain) structure in which low concentration impurity regions are formed at a channel side of high concentration impurity regions.

[Summary of the invention]

According to a method of forming a thin film transistor having so-called LDD structure in the present invention, after patterning of a gate electrode layer, an ion implantation is performed while remaining a gate insulating film in order to form low concentration impurity regions, subsequently, an ion implantation is performed to form high concentration impurity regions using a mask layer covering adjacent regions to the gate electrode layer as a mask, thereby preventing any impurity from diffusing from an interlayer insulating film to low concentration impurity regions.

[Description of the Prior Art]

In order to reduce leak of a thin film transistor, and to increase withstand voltage thereof, it is most suitable that source and drain regions should have so called LDD structure in which low concentration impurity regions are formed at a channel side of high concentration impurity regions.

Fig. 2a and Fig. 2b show cross sectional views of forming a thin film transistor. Initially, a semiconductor layer 22 of required size is formed on an insulating substrate 21, then, a gate electrode layer 24 is formed through a gate insulating film 23 which is over the semiconductor layer 22. The gate electrode layer 24 and the gate insulating film 23 are patterned in a self-aligned manner so that a resist layer 25 is formed to mask the adjacent regions to the gate electrode layer 24. Using the resist layer 25 as a mask, ions are implanted to form high concentration impurity regions. (Fig. 2a)

Next, the resist layer 25 as a mask is removed, followed by ion implantation on the whole surface at a concentration of forming low concentration impurity regions 27. After ion implantation, a PSG film 26 is formed on the whole surface as an interlayer insulating film with small stress to be sodium ion stopper. Then, a thin film transistor is completely formed by annealing. (Fig. 2b)

[Problems the invention intends to solve]

In a thin film transistor having an LDD structure, it is confirmed that characteristics are superior as the concentration of impurity regions 27 of source and drain regions is lower.

On the contrary, in the case that an interlayer insulating film is composed of a PSG film 26, boron is diffused in the low concentration impurity regions 27 so that the impurity concentration comes to be high.

Also, in order to form an interlayer insulating film comprising a CVDSiO_2 film and a PSG film using a same CVD apparatus, a small amount of boron is included in the CVDSiO_2 film and hence, impurity concentration of the low concentration impurity regions 27 comes to be high in the same way.

Therefore, the present invention intends to solve the above technical problem. It is an object of the present invention to propose a method for forming a thin film transistor to prevent impurity from diffusing from an interlayer insulating film to low concentration impurity regions.

[Means for solving the problem]

In order to achieve the above object, in a method of forming a thin film transistor according to the present invention, a semiconductor layer is

formed on an insulating substrate, and then a gate insulating film is formed to cover the semiconductor layer thereon. As a semiconductor layer, for example, a polysilicon layer can be formed. Then, a gate electrode layer is formed on the gate insulating film, followed by patterning the gate electrode layer. Next, ions are implanted to form low concentration impurity regions on said semiconductor layer using said gate electrode layer as a mask. Then, a mask layer is formed to cover adjacent regions to the gate electrode layer. The mask layer is comprised of resist layer, for example. It is preferable that the gate insulating film is patterned with reflection of the pattern of the mask layer. Ion implantation is performed to form high concentration impurity regions using the mask layer as a mask. Subsequently, the mask layer is removed and a PSG film or the like is formed on the whole surface of the interlayer insulating film, followed by the annealing of impurity diffusing region, and so on.

[Effect]

According to the method of forming a thin film transistor of the present invention, the gate insulating film is not patterned at patterning of the gate electrode layer, but remains at least in adjacent regions to the gate electrode layer to the last. As a result, the gate insulating film is finally remained between the interlayer insulating film and low concentration impurity regions so that the problem of impurity diffusion is solved.

[Embodiment]

The preferable embodiment according to the present invention is explained referring to the drawing.

The present embodiment shows an example of forming n-channel thin film transistor having an LDD structure. Referring to Fig. 1a to Fig. 1e, the present embodiment is explained according to the process as follows.

Firstly, a thin film polysilicon layer 2 which is formed on an insulating substrate 1 is conducted by patterning in a required size to form a device region. Then, the polysilicon layer 2 is covered with a gate insulating film 3. The thickness of the polysilicon layer 2 is about 400Å, and the thickness of the gate insulating film 3 is about 500Å.

Then, as shown in Fig. 1a, a gate electrode layer 4 comprising the polysilicon layer is formed on the whole surface and conducted by patterning to be a required size of the gate length and the gate width. The patterning is conducted by using the anisotropic etching having selectivity insulating film and silicon. Therefore, the gate insulating film 3 under the gate electrode layer 4 is not conducted by patterning.

After the patterning of the gate electrode layer 4, using the patterned gate electrode layer 4 as a mask, an ion implantation is conducted to form low concentration impurity regions 5 on the whole surface. Impurities are implanted at a low concentration into the regions of the polysilicon layer 2 not under the gate electrode layer 4. The condition of the ion implantation is 70keV, approximately $1 \times 10^{13}\text{cm}^{-2}$, finally, the impurity concentration of low concentration impurity regions 5 is about $1 \times 10^{16} - 1 \times 10^{17}\text{cm}^{-3}$.

Then, as shown in Fig. 1b, a mask layer 6 covering the adjacent regions 7 to said gate electrode layer 4 is formed. The mask layer 6 is made of, for example photo resist. In this embodiment, the adjacent regions are the regions wherein high concentration impurity regions of source and drain regions are offset from the channel forming region, which remain as low concentration impurity regions 5 in the polysilicon layer 2.

Then, as shown in Fig. 1c, the gate insulating film 3 is performed by anisotropic etching using the mask layer 5. Then, the gate insulating film 3 is removed on the parts excluding the part immediately below the gate electrode layer 4 and the adjacent regions 7 under the mask layer 6, thereby exposing the polysilicon layer 2. In this way, it is preferable to remove the portions of the gate insulating film 3 on high concentration impurity regions in the case of using ion implantation in a high concentration.

Next, as shown in Fig. 1d, ions are implanted to form high concentration impurity regions 8 using said mask layer 6 as a mask. The condition of the ion implantation is, for example 40keV, $2 \times 10^{15}\text{cm}^{-2}$. By this ion implantation, high concentration impurity regions 8 to be source and drain regions are formed on the polysilicon layer 2 excluding the part immediately below the gate electrode layer 4 and the adjacent regions 7.

Then, as shown in Fig. 1e, the mask layer 6 is removed, following which a PSG film 9, which is an interlayer insulating film, is formed on the whole surface. Since the gate insulating film 3 is formed on the low concentration impurity regions 5 of the adjacent regions 7, the PSG film 9 is not directly connected with the low concentration impurity regions 5. Accordingly, boron or the like may be prevented from diffusing. Subsequently, a thin film transistor is formed by annealing of source and drain regions, formation of contact holes and a wiring layer, and so on.

In this method of forming a thin film transistor according to the present embodiment, the gate insulating film is not patterned by using the gate electrode layer and self-aligned manner, but the gate insulating film 3 is

extended to the adjacent regions 7 to the gate electrode layer by using the mask layer 6. Because of this, an impurity such as boron may be prevented from diffusing from the interlayer insulating film (PSG film 9) to low concentration impurity regions 5, thereby, preventing variation of the device characteristic. Also, because the surface of low concentration impurity regions 5 is covered with the gate insulating film 3, the interfacial characteristic becomes good. Further, in the case of forming the interlayer insulating film by combination of a CVD SiO_2 film and a PSG film, since the gate insulating film 3 is extended to the low concentration impurity regions 5, it is possible to deal with formation process by using same CVD apparatus even if some boron are included in the CVD SiO_2 film.

[The Effect of the Invention]

In accordance with the method of forming a thin film transistor in the present invention, the gate insulating film is not patterned when the gate electrode layer is performed by patterning, but at least remains to the last in the adjacent regions to the gate electrode layer. Accordingly, the impurity can be prevented from diffusing from the interlayer insulating film to the source and drain low concentration impurity regions. Also, it is possible to achieve fine interfacial characteristic.

4. Brief Description of the Drawings

Fig. 1a to 1e show cross sectional views of the process for explaining an example of formation method of a thin film transistor in accordance with the present invention. Fig. 2a and Fig. 2b show cross sectional views for explaining an example of conventional formation method of a thin film transistor.

- 1 - - - insulating substrate
- 2 - - - polysilicon layer
- 3 - - - gate insulating film
- 4 - - - gate electrode layer
- 5 - - - low concentration impurity regions
- 6 - - - mask layer
- 7 - - - adjacent region
- 8 - - - high concentration impurity regions
- 9 - - - PSG film

Applicant Sony corporation

Patent Attorney Akira Koike (and two people)

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
008342608 **Image available**

WPI Acc No: 1990-229609/199030

Related WPI Acc No: 1998-257431

XRAM Acc No: C90-099387

XRPX Acc No: N90-178142

Forming thin film transistor with LDD structure - by leaving gate
insulated film up to at least region near gate electrode layer to
prohibit diffusion of impurity NoAbstract Dwg 2/2

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|-------------------|------|----------|-------------|------|----------|-------------|
| JP 2159730 | A | 19900619 | JP 88315654 | A | 19881214 | 199030 B |

Priority Applications (No Type Date): JP 88315654 A 19881214

Patent Details:

| Patent No | Kind | Lan Pg | Main IPC | Filing Notes |
|------------|------|--------|----------|--------------|
| JP 2159730 | A | 3 | | |

Abstract (Basic): JP 2159730 A

A workpiece is placed on a lower electrode, a parallel flat plate
electrode ring for processing is place on the lower electrode at a
height equal to that of the surface of the work, and a cylindrical body
having larger inside diameter than the outside diameter of the work is
arranged on the ring such that the center of the cylinder matches with
the center of the work.

USE/ADVANTAGE - The process controls generation of ions and plasma
by setting the cylinder to a proper size and proper height, and is
prevented from adverse influences, from gas flow in the chamber,
reducing uneven etching between the center and peripheral part and
reducing fluctuation of etching.

Dwg.1/3

Title Terms: FORMING; THIN; FILM; TRANSISTOR; LDD; STRUCTURE; LEAVE; GATE;
INSULATE; FILM; UP; REGION; GATE; ELECTRODE; LAYER; PROHIBIT;
DIFFUSION; IMPURE; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/33; H01L-029/78

File Segment: CPI; EPI

⑫ 公開特許公報(A) 平2-159730

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)6月19日

H 01 L 21/336
29/784

8624-5F H 01 L 29/78 311 P

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタの形成方法

⑰ 特 願 昭63-315654

⑱ 出 願 昭63(1988)12月14日

| | | | | |
|---------|-----------|-----|-------------------|-------------------|
| ⑲ 発 明 者 | 林 | 久 雄 | 東京都品川区北品川6丁目7番35号 | ソニー株式会社内 |
| ⑲ 発 明 者 | 河 村 | 明 士 | 東京都品川区北品川6丁目7番35号 | ソニー株式会社内 |
| ⑲ 発 明 者 | 橋 本 | 芳 浩 | 東京都品川区北品川6丁目7番35号 | ソニー株式会社内 |
| ⑲ 発 明 者 | 吉 田 | 和 好 | 東京都品川区北品川6丁目7番35号 | ソニー株式会社内 |
| ⑳ 出 願 人 | ソニー株式会社 | | | 東京都品川区北品川6丁目7番35号 |
| ㉑ 代 理 人 | 弁理士 小 池 晃 | | | 外2名 |

明細書

とを特徴とする薄膜トランジスタの形成方法。

1. 発明の名称

薄膜トランジスタの形成方法

2. 特許請求の範囲

絶縁基板上に半導体層を形成する工程と、
その半導体層上に該半導体層を被覆するゲート
絶縁膜を形成する工程と、
ゲート絶縁膜上にゲート電極層を形成する工程
と、
そのゲート電極層をパターンニングする工程と、
低濃度不純物領域を上記半導体層に形成するた
めのイオン注入を上記ゲート電極層をマスクとし
ながら行う工程と、
上記ゲート電極層の隣接領域を覆うマスク層を
形成する工程と、
そのマスク層をマスクとして高濃度不純物領域
を形成するためのイオン注入を行う工程と、
全面に層間絶縁膜を形成する工程とからなるこ

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は薄膜トランジスタの形成方法に関し、
特にソース・ドレイン領域が高濃度不純物領域の
チャンネル側に低濃度不純物領域が形成された構
造とされる所謂LDD(ライトリィ・ドープト・
ドレイン)構造の薄膜トランジスタの形成方法に
関する。

〔発明の概要〕

本発明は、所謂LDD構造の薄膜トランジスタ
の形成方法において、ゲート電極層のパターンニ
グの後、ゲート絶縁膜を残したまま低濃度不純物
領域を形成するためのイオン注入を行い、続いて
ゲート電極層の隣接領域を覆うマスク層をマスク
として高濃度不純物領域を形成するイオン注入を
行うことにより、層間絶縁膜から低濃度不純物領
域への不純物の拡散を防止するものである。

〔従来の技術〕

薄膜トランジスタのリークを小さくし、その耐圧を高くするためには、ソース・ドレイン領域が高濃度不純物領域のチャンネル側に低濃度不純物領域が形成された構造とされる所謂LDD構造とすることが最適である。

第2図a及び第2図bは、このような薄膜トランジスタの形成方法を示す断面図である。まず、絶縁基板21上に所要のサイズで半導体層22が形成され、その上部のゲート絶縁膜23を介してゲート電極層24が形成される。ゲート電極層24とゲート絶縁膜23は、セルフアラインでパターンニングされ、そのゲート電極層24に隣接した領域をマスクするようにレジスト層25が形成される。このレジスト層25をマスクとしながら、高濃度不純物領域を形成するためのイオン注入が行われる(第2図a)。

次に、マスクとされたレジスト層25を除去し、全面に低濃度不純物領域27を形成する濃度でイ

3

層間絶縁膜から低濃度不純物領域への不純物の拡散を防止するような薄膜トランジスタの形成方法の提供を目的とする。

〔課題を解決するための手段〕

上述の目的を達成するために、本発明の薄膜トランジスタの形成方法は、絶縁基板上に半導体層を形成し、その半導体層上に該半導体層を被覆するゲート絶縁膜を形成する。半導体層としては、例えばポリシリコン層を形成できる。そのゲート絶縁膜上にはゲート電極層が形成され、そのゲート電極層がパターンニングされる。次に、低濃度不純物領域を上記半導体層に形成するためのイオン注入を上記ゲート電極層をマスクとしながら行う。次に、上記ゲート電極層の隣接領域を覆うマスク層を形成する。このマスク層は、例えばレジスト層によって構成され、このマスク層のパターンを反映させて、上記ゲート絶縁膜をパターンニングすることが好ましい。そのマスク層をマスクとして高濃度不純物領域を形成するためのイオン注入を

オン注入を行う。イオン注入後、層間絶縁膜として応力が小さくNaイオンストッパーになるPSG膜26を全面に形成し、アニールを行って、薄膜トランジスタを完成する(第2図b)。

〔発明が解決しようとする課題〕

LDD構造の薄膜トランジスタにおいては、ソース・ドレイン領域の低濃度不純物領域27の不純物の濃度が低い方が、特性に優れることが確かめられている。

ところが、層間絶縁膜をPSG膜26で構成した場合には、その低濃度不純物領域27にリンが拡散してしまい、その不純物濃度が高くなることになる。

また、層間絶縁膜をCVD SiO₂膜とPSG膜からなるように同一CVD装置を以て構成すると、CVD SiO₂膜に少量のリンが含まれてしまい、同様に低濃度不純物領域27の不純物濃度が高くなる。

そこで、本発明は上述の技術的な課題に鑑み、

4

行う。その後、マスク層の除去や、PSG膜等の層間絶縁膜の全面への形成、不純物拡散領域のアニール等が行われる。

〔作用〕

本発明の薄膜トランジスタの形成方法では、ゲート絶縁膜は、ゲート電極層のパターンニング時にパターンニングされず、少なくともゲート電極層の隣接領域で最後まで残存する。このため最終的に層間絶縁膜と低濃度不純物領域の間には、ゲート絶縁膜が残ることになり、不純物の拡散の問題が解決されることになる。

〔実施例〕

本発明の好適な実施例を図面を参照しながら説明する。

本実施例は、LDD構造のnチャンネル薄膜トランジスタを形成する例である。以下、本実施例をその工程に従って第1図a～第1図eを参照しながら説明する。

まず、絶縁基板 1 上に薄膜のポリシリコン層 2 を形成し、これを所定のサイズにパターニングして素子領域とする。次に、そのポリシリコン層 2 を被覆するように、ゲート絶縁膜 3 を形成する。ここで、ポリシリコン層 2 の膜厚はおよそ 400 Å であり、ゲート絶縁膜 3 の膜厚はおよそ 500 Å 程度である。

次に、第 1 図 a に示すように、全面にポリシリコン層からなるゲート電極層 4 を形成し、所要のゲート長、ゲート幅となるサイズにパターニングする。このパターニングには、絶縁膜とシリコンとで選択性の有る異方性エッチングが用いられる。従って、ゲート電極層 4 の下部のゲート絶縁膜 3 はパターニングされない。

このようなゲート電極層 4 のパターニングの後、パターニングされたゲート電極層 4 をマスクとして、全面に低濃度不純物領域 5 を形成するためのイオン注入を行う。このイオン注入で、パターニングされたゲート電極層 4 の下部以外のポリシリコン層 2 の領域に、低濃度に不純物が打ち込まれ

7

をマスクとして高濃度不純物領域 8 を形成するためのイオン注入を行う。このイオン注入の条件は、例えば 40 keV、 $2 \times 10^{15} \text{ cm}^{-2}$ とされる。このイオン注入により、ゲート電極層 4 の直下及び隣接領域 7 以外のポリシリコン層 2 に、ソース・ドレイン領域となる高濃度不純物領域 8 が形成されることになる。

次に、第 1 図 e に示すように、上記マスク層 6 が除去され、全面に層間絶縁膜である PSG 膜 9 が形成される。隣接領域 7 の低濃度不純物領域 5 上にはゲート絶縁膜 3 が形成されているため、その PSG 膜 9 は低濃度不純物領域 5 には、直接に接続しない。従って、リン等の拡散は防止されることになる。以下、ソース・ドレイン領域のアニールや、コンタクトホール形成、配線層の形成等を行って薄膜トランジスタを形成する。

このように本実施例の薄膜トランジスタの形成方法では、ゲート電極層とセルフアラインでゲート絶縁膜をパターニングするのではなく、マスク層 6 によりゲート電極層の隣接領域 7 まで、ゲ

る。このイオン注入の条件は、70 keV、 $1 \times 10^{15} \text{ cm}^{-2}$ 程度のものとされ、最終的に低濃度不純物領域 5 の不純物濃度は $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度に設定される。

次に、第 1 図 b に示すように、上記ゲート電極層 4 の隣接領域 7 を覆うマスク層 6 を形成する。マスク層 6 は例えばフォトレジストを材料とする。ここで隣接領域とは、ソース・ドレイン領域の高濃度不純物領域がチャンネル形成領域からオフセットされる領域であり、ポリシリコン層 2 が低濃度不純物領域 5 のままにされる領域である。

次に、第 1 図 c に示すように、そのマスク層 5 を用いてゲート絶縁膜 3 を異方性エッチングによりエッチングする。すると、ゲート絶縁膜 3 はゲート電極層 4 の直下及びマスク層 6 の下部の隣接領域 7 以外で除去され、ポリシリコン層 2 が露出する。このように高濃度不純物領域となる領域のゲート絶縁膜 3 を除去した方が、高濃度にイオン注入する場合には好ましい。

次に、第 1 図 d に示すように、上記マスク層 6

8

ト絶縁膜 3 を延在させている。このため、層間絶縁膜 (PSG 膜 9) から低濃度不純物領域 5 へのリン等の不純物の拡散を防止することができ、素子の特性の変動を未然に防止することができる。また、低濃度不純物領域 5 の表面は、ゲート絶縁膜 3 に覆われるため、その界面特性は良好となる。また、層間絶縁膜を CVD SiO₂ 膜と PSG 膜の組合せとする場合でも、ゲート絶縁膜 3 が低濃度不純物領域 5 まで延在されているため、多少リンが CVD SiO₂ 膜が含まれていても良くなり、同一の CVD 装置での処理が可能となる。

(発明の効果)

本発明の薄膜トランジスタの形成方法は、ゲート絶縁膜は、ゲート電極層のパターニング時にパターニングされず、少なくともゲート電極層の隣接領域で最後まで残存する。従って、層間絶縁膜からソース・ドレインの低濃度不純物領域への不純物の拡散を防止することができ、界面特性を良好にさせることが可能となる。

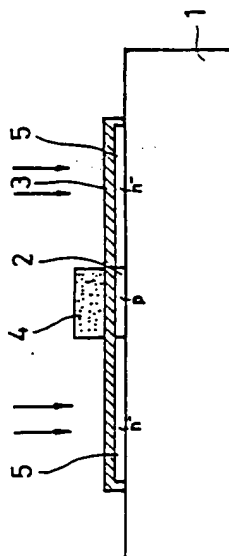
4. 図面の簡単な説明

第1図a～第1図eは本発明の薄膜トランジスタの形成方法の一例を説明するためのそれぞれ工程断面図、第2図a及び第2図bは従来の薄膜トランジスタの形成方法の一例を説明するためのそれぞれ工程断面図である。

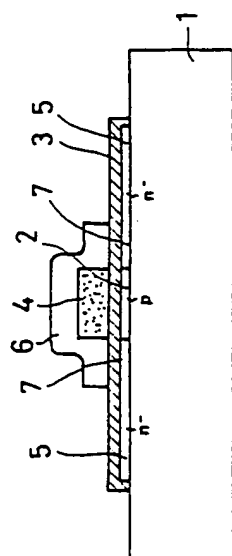
- 1…絶縁基板
- 2…ポリシリコン層
- 3…ゲート絶縁膜
- 4…ゲート電極層
- 5…低濃度不純物領域
- 6…マスク層
- 7…隣接領域
- 8…高濃度不純物領域
- 9…PSG膜

特許出願人 ソニー株式会社
 代理人弁理士 小池 晃（他2名）

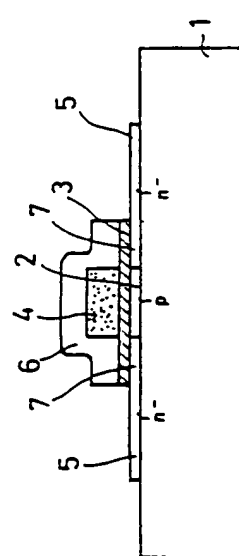
11



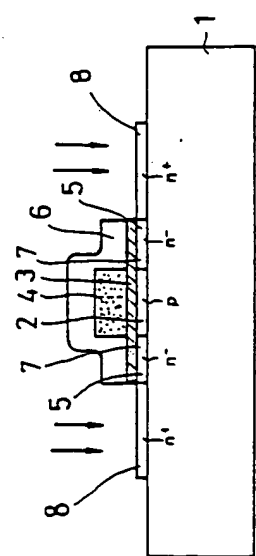
第1図a



第1図b

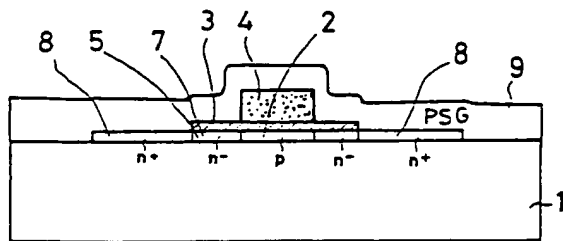


第1図c

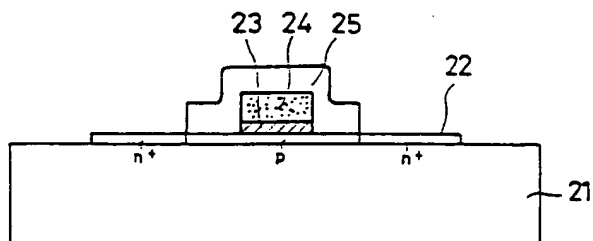


第1図d

第 1 図 e



第 2 図 a



第 2 図 b

